

Ref. 5

DATA CONTROLLER BETWEEN A PLURALITY OF DATA PROCESSORS

Publication number: JP63106064
Publication date: 1988-05-11
Inventor: PII AI PII BOURUTON; II ESU RII
Applicant: UNIV TORONTO INNOVATION FOUND
Classification:
 - **International:** H04L12/44; H04L12/44; (IPC1-7): G06F15/16
 - **European:** H04L12/44
Application number: JP19870191499 19870730
Priority number(s): US19860890917 19860730

Also published as:

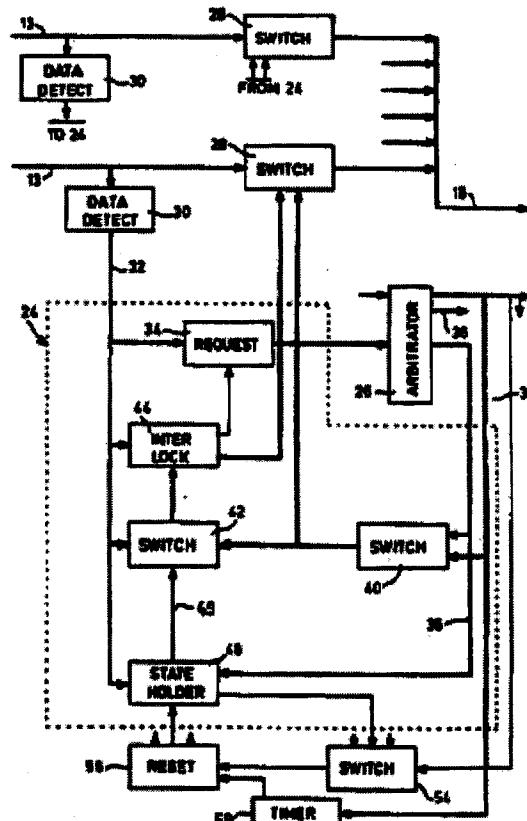
EP0255385 (A)
 US4777487 (A)
 EP0255385 (A)
 EP0255385 (B)

[Report a data error](#)

Abstract not available for JP63106064

Abstract of corresponding document: **US4777487**

A data controller to control passage of data between a plurality of data handling devices comprises a communication link to permit communication of the devices with one another. An indicator is associated with each of the devices to indicate data is to be transmitted from any one of the devices. An inhibitor operates upon a device after it transmits data to inhibit access of that device to the communication link and to the indicator. A reset device is responsive to the indicator to remove the inhibitor when the indicator indicates that no data is to be transmitted.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭63-106064

⑫ Int.Cl. 4 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)5月11日
G 06 F 15/16 400 N-2116-5B
310 N-2116-5B
審査請求 未請求 発明の数 1 (全8頁)

④ 発明の名称 複数のデータ処理装置間におけるデータコントローラ

⑫ 特願 昭62-191499
⑬ 出願 昭62(1987)7月30日

優先権主張 ⑭ 1986年7月30日⑮ 米国(US)⑯ 890917

⑭ 発明者 ピー. アイ. ピー. ボ カナダ国 オンタリオ州 エム9エー 3エス1 アイリ
ウルトン ントン ウインブルトンロード 66

⑭ 発明者 イー. エス. リー カナダ国 オンタリオ州 エム9エー 4イ-6 アイリ
ントン ウエストリッジロード 15

⑮ 出願人 ユニバーシティー オ カナダ国 オンタリオ州 エム5ティー 1ピー-9 トロ
ブ トロント イノヴ ント カレツジ ストリート 203
エイシヨンズ フアウ
ンディション

⑯ 代理人 弁理士 杉本 ゆみ子

明細書

1. 発明の名称

複数のデータ処理装置間における
データコントローラ

2. 特許請求の範囲

(1) 複数のデータ処理装置の間のデータの通路を
制御し、複数のデータ処理装置の相互の通信を可
能にするための通信手段と、該装置と夫々接続し
て該装置のいずれかから伝送されるデータを表示
するための表示手段と、データの伝送後に一の装
置に動作し、該通信手段と該表示手段への該一の
装置のアクセスを禁止するための禁止手段と、該
表示手段に応答して該表示手段がデータを伝送し
ていないことを表示したときに該禁止手段を解除
するためのリセット手段とを有して成るデータコ
ントローラ。

(2) 所定周期後に前記リセット手段に操作するオ
ーバーライド手段を有することを特徴とする特許

請求の範囲第1項に記載のデータコントローラ。

(3) 前記表示手段は前記データ処理装置の夫々と
接続する複数のステートインディケータと各装置
によって伝送されるデータによって第1状態から
第2状態に変更可能な一つの出力を有することを
特徴とする特許請求の範囲第1項に記載のデータ
コントローラ。

(4) 前記ステートインディケータの該出力は、前
記各処理装置の一が前記通信手段と接続されたこ
とを表示する信号が発生されてから前記第2状態
から前記第1状態へ変更されることを特徴とする
特許請求の範囲第3項に記載のデータコントロ
ーラ。

(5) 前記信号は前記禁止手段の動作を開始するこ
とを特徴とする特許請求の範囲第4項に記載のデ
ータコントローラ。

(6) 前記ステートインディケータの各出力は前記
リセット手段に印加され、記リセット手段の動作
は前記第2状態を維持する該出力のいずれかによ
って阻止されることを特徴とする特許請求の範囲

第4項に記載のデータコントローラ。

(7) 前記リセット手段の動作は前記通信手段にデータが伝送されている間は阻止されることを特徴とする特許請求の範囲第6項に記載のデータコントローラ。

(8) 所定の周期後に前記リセット手段に動作可能なオーバーライド手段を有することを特徴とする特許請求の範囲第6項に記載のデータコントローラ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、複数のデータ処理装置の間のデータの通路を制御するデータコントローラに関する。

(従来の技術)

データ処理装置は、今やネットワークで共通に接続されて各種装置間のデータの通路とされる。ネットワークは、いくつかの形式のうちの一つをとりうるが、その夫々は一回につき唯一つのデータメッセージが装置間に伝送されることを保証す

ローラーを提供することにある。

(問題点を解消するための手段)

本発明によれば複数のデータ処理装置の間のデータの通路を制御するためのデータコントローラを備え、該装置は、複数のデータ処理装置の相互の通信を可能にするための通信手段と、該装置と夫々接続して該装置のいずれかから伝送されるデータを表示するための表示手段と、データの伝送後に一の装置に動作し、該通信手段と表示手段に該一の装置へのアクセスを禁止するための禁止手段と、該表示手段に応答して該表示手段データが伝送されないことを表示したときに該禁止手段を解除するためのリセット手段とから成る。

(実施例)

以下、添付図面に基づき本発明の実施例について説明する。第1図に示すように、ローカルエリアネットワーク10は、ツリー状又はスター状に配列され、多数のデータ処理装置12を有し、その夫々は伝送リンク13によってセントラルハブ16のセレクタ14へ接続される。セレクタ14はネクサス18

るようデータ処理装置間の通信リンクへのアクセスをコントローラーが制御する必要がある。コントローラーは、他の装置が通信リンクへアクセスするのを禁止したり、あるいは破損データを打ち切るためにデータが伝送されるときに動作しうる。従来の装置では通信リンクへのアクセスが成功するまで一定周期で伝送を続けるよう配列されている。

(発明が解決しようとする問題点)

前記の配列でも十分であることが立証されているが、データ処理率をより高くする場合には装置は通信リンクにアクセスできないことが統計上十分におこりうる。通信リンクへアクセスを得るのにアプリケーションのために装置として最大限の時間を要するのである。即ちアプリケーションはシステムが確定的であり、一定時間内に一つの装置から別の装置へデータを通信することを保証することを要する。

従って、本発明の目的は、一定時間を決めてデータ伝送が可能なネットワーク用のデータコント

ローラーを提供することにある。

を介してプロードキャスター20に接続され、プロードキャスター20は、伝送リンク22を介して順にデータ処理装置12に夫々接続される。

セレクタ14は、動作して処理装置12の一つを選択し、対応の伝送リンク13を介してデータを受信し、夫々のリンク22を介してプロードキャスター20によって同報通信する。このように、一つの装置からのデータは装置12に夫々通信可能である。

唯一のデータのみが伝送されるのを保証するために、セレクタ14は第2図に示すように伝送リンク13に夫々一つの選択装置24と、アービトレイタ26を有する。選択装置24は、本権出願人に対して発行された米国特許第4,570,126号に記載のものと、多くの点で同様であるが、その内容を参考までに以下に述べておく。

伝送リンク13は、各々スイッチ28を介してネクサス18に接続される。スイッチ28は、選択装置24によって動作を制御され、選択装置24によって使用可能時のみ動作してリンク13からネクサス18へデータをバスする。各伝送リンク13はまた、ディ

スティンクトデータ検出ファンクション30に接続される。該ファンクション30の出力32はリクエストファンクション34に接続される。リクエストファンクション34の出力はアービトレータ26に印加される。アービトレータ26は、各伝送リンク13に接続されるリクエストファンクションからの入力を受信し、ネクサス18を介しての伝送のためにいずれかのリンク13を選択すべきかを決定する。

アービトレータ26は夫々が対応する各々の選択装置24に接続される複数の出力 (selected output) 36と、全ての選択装置に接続される出力 (busy line又はbusy signal) 38とを有し、各選択装置に出力を発する。

前記出力36及び出力38は、スイッチファンクション40を印加して、特定の選択装置24に接続するいずれのリンク13が選択されたことを表示する。スイッチファンクション40の出力は、スイッチ28に印加されかつ、データ検出出力32からの後続の入力を受信するスイッチ42に印加される。スイッチ42の出力はインタロックファンクション44の動

作を制御し、またデータ検出出力32へ接続される。インタロックファンクション44の出力は、リクエストファンクション34へ印加されると共に、スイッチ28に印加されて該スイッチを使用可能にし、データをリンク13から出力18へと伝送する。インタロック44は、ネクサス18が前記出力38によって表示される通りアイドル状態になり、かつ、新たなデータの伝送がデータ検出ファンクション30によって検出されるまでリクエストファンクションが動作するのを禁止する。従って、データの部分パケットの伝送が回避できる。

上述した構成要素の構造並びに動作については米国特許第4,570,126号に詳述してあるので、ここにおいてはこれで止めておく。

セレクタ14が確定的となるのを保証するために、各選択装置24は、インヒビタファンクション50及びステート表示ファンクション52を併有するステートホルダーファンクション48を有する。データ検出ファンクション30の出力32は、その出力がスイッチ54への入力の一つに印加されるステート

インディケータ52に印加される。スイッチ54は、全ての選択装置24のステートインディケータからの入力及び前記出力38からの信号を受信する。スイッチ54の出力は、その出力が各選択装置24のインヒビタ50に接続されるリセットファンクション56に印加される。リセットファンクション56はまたタイマ58からの入力も受信する。

選択信号36は、インヒビタ50及びステートインディケータ52に印加され、インヒビタ50の出力はスイッチ42に印加されて該スイッチの動作を禁止する。

第3図に示す通り、インヒビタ50はANDゲート60とJKフリップフロップ62を含む。ANDゲート60の出力は、リセットファンクション56の反転出力及びJKフリップフロップ62のQ出力から受け継がれる。ANDゲート60の出力はフリップフロップ62のK入力に印加される。フリップフロップ62のJ入力は、ステートインディケータ50のANDゲート64の入力から受け継がれる。ANDゲート64は、選択信号36を一方の入力として受信し、フリップフ

ロップ66のQ出力をもう一方の入力とする。フリップフロップ66はそのK入力においてANDゲート64の出力を受信し、そのJ入力においてANDゲート68の出力を受信する。

ANDゲート68は、データ検出ファンクション30の出力32を一方の入力として受信し、JKフリップフロップ70のQ出力を他方の入力として受信する。フリップフロップ70へのK入力は、インヒビタ50においてANDゲート60の出力に接続されるフリップフロップ70へのJ入力と共にフリップフロップ66のJ入力へ接続される。JKフリップフロップ66の出力はまた、スイッチファンクション54に印加される。

第4図に示す通り、スイッチファンクション54は本質的には各JKフリップフロップ66からの入力及び出力38を受信するORゲート72を構成する。ORゲート72の出力は、ANDゲート74を介してJKフリップフロップ76に入力される。ANDゲート74及びJKフリップフロップ76はリセット装置56の部分を構成する。フリップフロップ76へのK入力はAND

ゲート74の出力から直接受け継がれ、J入力は、ANDゲート74の反転出力である。リセット装置56の出力は、第3図に示されるANDゲート60への入力として印加されるQ'入力を利用する。

ANDゲート74は、ORゲート72の出力を一方の入力として受信し、第5図に詳細に示す通り、タイマ58の反転出力を他方の入力として受信する。タイマ58は出力38に出現中の信号により負荷されるバイナリーダウンカウンタ78を含む。バイナリーカウンタ78の出力（カウント=0）はフリップフロップ80のJ入力へ直接印加され、該フリップフロップのK入力に反転して印加される。反転出力はまた他方の入力としてフリップフロップ80のQ出力を受信するANDゲート82への一方の入力として印加される。ANDゲート82の出力はANDゲート74の反転入力へ印加される。

データコントローラの動作について以下に説明する。ここにおいてネットワークはアイドル状態であること、すなわちデータが伝送されずかつ伝送データがない状態を想定する。この状態において

信号を受信してリンク13からネクサス18へデータを伝送させる。

出力32が確認されると(assertion)スタートホールド48が「アイドル」から「回線争奪」(contention)へ変わる。その結果、スタートインディケータ52からスイッチファンクション54への出力がハイレベルとなり、データの伝送がリクエストされたことを表示する。第3図から分るように、出力32にハイレベル信号が現れるとANDゲート68から出力があり、次のクロックサイクルでフリップフロップ86のQ出力が確認される。第4図から分るように、スタートインディケータ52からの出力を介し、かつ出力38を介して確認があるとORゲート72からハイレベル信号を発生させ、タイマ58からの低出力がANDゲート74への一方の入力として反転された時にANDゲート74から高出力を順次発生させる。ANDゲート74が高出力になるとフリップフロップ78のJ入力及びK入力で低出力及び高出力を交互に発生させ、次のクロックサイクルでリセット機能56のQ'ゲートにおいて高出力を発

て、データ検出出力32は全てローレベルまたは不存在(de-asserted)であり、スイッチ54への入力もまたローレベルまたは不存在(de-asserted)である。使用中ライン38もまたローレベルであり、リセット56の出力もローレベルである。第3図を参照すると、JKフリップフロップ62、86の各Q出力はローレベルであるが、フリップフロップ70のQ出力はハイレベルでANDゲート68に高出力を提供している。

リンク13を介してデータ処理装置12の一つからの伝送を検出すると、対応のデータ検出ファンクション30はリクエストファンクション34を介してアービトレータ26へバスされる出力32の信号を存在させる(assert)。アービトレータ26は他のリクエストを受信しないのでリクエストはアクセプトされ、リンク13へ対応する選択ライン38は出力38と共に確認(assert)されてスイッチ40を使用可能にする。データ伝送のスタートにおいてリクエストがアクセプトされるため、インタロック44はアイドル状態となり、スイッチ28は二つの可能

生きる。リセット56からの確認出力は、ANDゲート60の反転入力へ印加されて、フリップフロップ62のK入力へ印加するために低出力が得られる。

データ検出ファンクション32がローレベルになると、ANDゲート68の出力は、ロー状態に戻るがフリップフロップ86のQ出力はハイレベルのままで、スイッチファンクション54への入力を確認しつづける。しかしながら、データ検出ライン32がハイレベルの時にフリップフロップ70へのK入力においてハイレベル信号が在る場合はQ出力をローレベルにさせ、ANDゲート68に低入力を供与してフリップフロップ70からのQ出力がハイレベルにリセットされるまでANDゲートを不能にする。これによりリセットファンクション56がフリップフロップ70をリセットするまでフリップフロップ86によってハイレベル信号がそれ以上発生されるのを防止する。

フリップフロップ86への出力は、ANDゲート64の入力への出力36に選択信号を受信することによ

り不存在される。ANDゲート64への他方の入力は、フリップフロップ86の出力の存在により、ハイレベルとなり、ANDゲート64から高出力が得られてフリップフロップ86のJ入力に対して確認される。次のクロックパルスにより、フリップフロップ66へのJ入力の状態とは関係なく、K入力でのハイレベル信号の存在により、Q出力がローレベル状態に反転されるから、スイッチファンクション54への入力が不存在とさせる。同時に、ANDゲート64からの高出力がフリップフロップ82のJ入力へ印加されてフリップフロップ86のQ出力がスイッチ49に高禁止出力を提供する。これによりデータがリクエストファンクション34を介して更に処理されるのを防止する。

スイッチファンクション54からの出力は、データが出力38によって伝送されている間は存在のままとなる。データの伝送が完了し、データの伝送中にリンク13のいずれもがアクセスを得ようとしないとすると、ORゲート72への入力は全てローレベルとなり、ORゲート72からの出力を低出力にす

る。これによりフリップフロップ78のJ入力が確認されて、Q'出力をハイレベルからローレベルへ変化させる。ANDゲート80への反転入力に低信号が印加されると、フリップフロップ82からの高出力と共に、フリップフロップ82へのK入力でハイレベル信号を提供する。次のクロックパルスにより、フリップフロップ82のQ出力は、不存在(de-asserted)となり、スイッチファンクション42の禁止信号を解除する。ANDゲート60からの高出力はまたフリップフロップ70のJ入力に印加されQ出力は次のクロックパルスでハイレベル状態に戻る。これは、ANDゲート68の一方の入力に印加されるので、ライン32の次のデータ検出信号によりステートインディケータ52は「回線争奪」(contention)の状態となる。

データの伝送中に別のデータ処理装置12からデータを伝送しようとすると、該装置と接続するステートインディケータ52はスイッチ54への出力を存在させる。従って、データ処理装置の一つが伝送を完了するとORゲート72の出力は、ハイレベル

に維持され、フリップフロップ78からのQ'出力はローレベルのままとなる。この状態はフリップフロップ82がリセットされてスイッチ42への禁止出力を不存在(de-assert)となるのを防止する。この状態はスイッチファンクション54への夫々の入力が不存在とされるまで続いて、ステートインディケータと接続する装置からのデータが選択されたことを表示し、フリップフロップ78からの出力をハイレベルに戻し、各フリップフロップ82からの禁止出力を夫々解除する。従って、一定の制限時間内に各リンクがネクサス18へ確実にアクセスし、ネクサス18は他のデータ処理装置からの反復伝送によって占有されることがないことが分るであろう。

スイッチ54に対する継続的な存在を引き起こすデータ処理装置の一における誤動作によってネットワーク10が不能にならないようにするために、第5図に示すタイマー(over ride means)は所定周期後に禁止ファンクション50をリセットするために用いられる。この周期は装置12夫々につい

てのリトライピリオドよりもやや長くなるように選定される。第5図に示すタイマーは、バイナリーカウンタ78に負荷して出力38の使用中信号の終了によって当該カウンタのダウンカウントを開始する。一つの信号がスイッチ54で確認されると、通常の操作で当該信号と接続した装置は、カウンタ78によってカウントされる周期の間中ネクサス18へのアクセスを得ようとする。アクセスを得ると、出力38は使用中状態に戻り、カウンターに再び負荷して使用中信号が再び不存在とされるまでの状態を維持する。出力38が再存在する前にカウンターが終了した場合は、フリップフロップ80とANDゲート82はANDゲート74の反転入力にパルスを出力する。これによりANDゲート74の出力をローレベルにし、フリップフロップ78をリセットしてローレベル状態にする。この状態はANDゲート60へアブライされてフリップフロップ82をリセットし、スイッチから禁止信号を解除する。その後、ANDゲート82の出力はローレベル状態に戻り、ORゲート72からの出力に応答してANDゲート74

を機能させるようとする。

(本発明の効果)

本発明は上記の通りであるから、データ検出信号をモニターしてデータ伝送がリクエストされる表示を提供することにより、データ伝送中になされたリクエストは、既に伝送された装置からの新たなリクエストの前に処理されることを保証することが可能となる。動作については前記した米国特許に記載した選択装置24に関して記載されているが、インディケータ及びインヒビタが利用できてリクエストが全て処理されるまで選択装置24に相当する動作を禁止するものについてはその他の選択装置も同様に適用することが認められる。

4. 図面の簡単な説明

図面は本発明の実施例を示すもので、第1図はネットワークの概略図、第2図は第1図に示すネットワークに用いられるコントローラの概略図、第3図は第2図の概略図に示された構成要素の一(ステートインディケータ)の詳細図、第4図は第2図に示す他の構成要素(リセット装置)の

概略図、第5図は第2図に示す他の構成要素(タイマ)の概略図である。

(符号の説明)

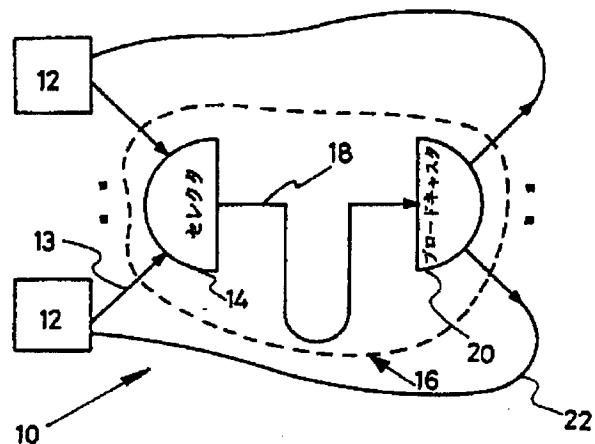
10	...ローカルエリアネットワーク		
12	...データ処理装置		
13	...伝送リンク	14	...セレクタ
16	...セントラルハブ	18	...ネクサス
20	...プロートキャスター	22	...伝送リンク
24	...選択装置	26	...アービトレイタ
28	...スイッチ		
30	...ディステインクトデータ検出ファンクション		
34	...リクエストファンクション		
38	...出力 (busy line 又は busy signal)		
40	...スイッチファンクション		
44	...インタロックファンクション		
50	...インヒビタファンクション		
52	...ステート表示ファンクション (ステートインディケータ)		
56	...リセットファンクション		
60, 64, 68	...ANDゲート		

62, 66, 70	...フリップフロップ		
72	...ORゲート	74	...ANDゲート
76	...フリップフロップ		
78	...バイナリーカンタ		
80	...フリップフロップ	82	...ANDゲート

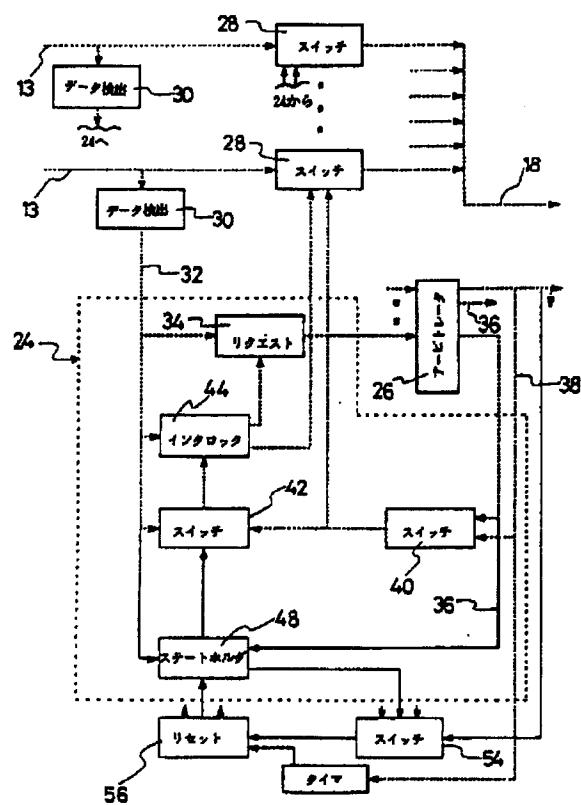
図面の添付(内容に変更なし)

特許出願人 ユニバーシティ オブ トロント
イノヴェイションズ ファンディッシュン

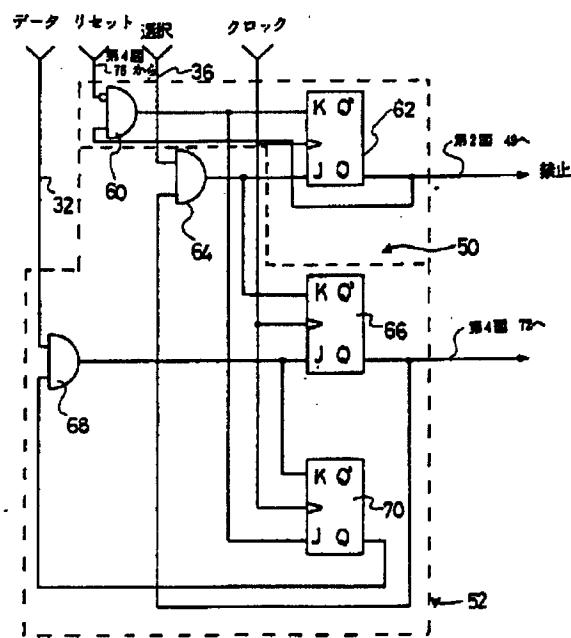
代理人 (8375) 弁理士 杉 本 ゆ み 子



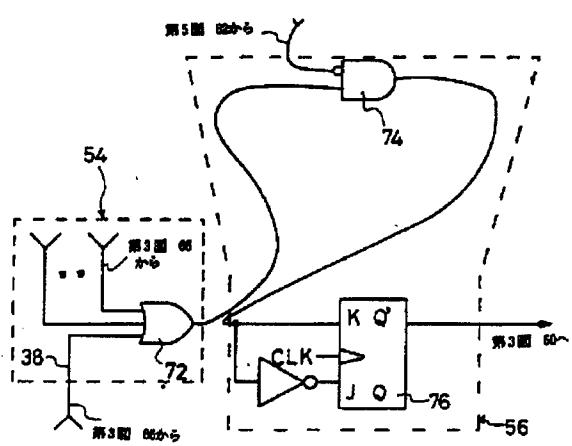
第 1 図



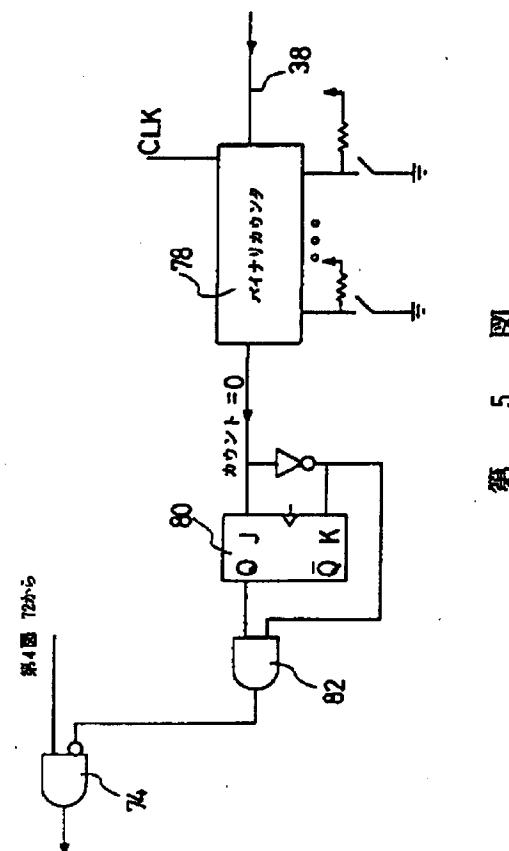
第 2 図



第 3 図



第 4 図



第 5 図

手続番号 五三一四 (方式)

昭和62年11月26日

特許庁長官 小川邦夫殿

1. 事件の表示

昭和62年特許願第191499号

2. 発明の名称

複数のデータ処理装置間における
データコントローラ

3. 補正をする者

事件との関係 特許出願人

住所 カナダ国 オンタリオ州 エム5ティー
1ビ-9 トロント カレッジ ストリ
ート 203

名称 ユニバーシティー オブ トロント
イノヴェイションズ ファウンデイション
代表者 ポーリン ウォルシュ

国籍 カナダ国

4. 代理人

住所 107

東京都港区赤坂1-1-14
溜池東急ビル 9F 電話584-4787

氏名 (8375) 弁理士 杉本ゆみ子

5. 補正命令の日付

昭和62年10月7日

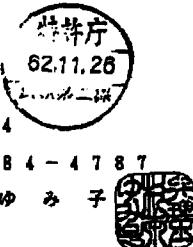
(発送日 昭和62年10月27日)

6. 補正の対象

- (1)願書
- (2)委任状及びその訳文
- (3)図面

7. 補正の内容

願書、委任状及びその訳文並びに図面について
は、別紙の通り提出致します。



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成7年(1995)3月31日

【公開番号】特開昭63-106064

【公開日】昭和63年(1988)5月11日

【年通号数】公開特許公報63-1061

【出願番号】特願昭62-191499

【国際特許分類第6版】

G06F 15/16 360 Z 7429-5L

H04L 12/44

【F1】

H04L 11/00 340 8732-5K

特許請求の範囲

平成6年 8月 1日

特許庁長官 高島章殿

1. 事件の表示

昭和62年特許願第191499号

2. 発明の名称

複数のデータ処理装置間におけるデータコントローラ

3. 補正をする者

事件との関係 特許出願人

名 称 ユニバーシティー オブ トロント イノヴェイシヨンズ ファウンデイション

4. 代理人

住 所 〒107 東京都港区赤坂1丁目1番14号

赤坂東急ビル5F

TEL 03-3584-4787

氏 名 (8375) 弁理士 杉 本 ゆみ子

5. 補正命令の日付

自発

6. 補正により増加する発明の数

0

7. 補正の対象

特許請求の範囲

8. 補正の内容

特許請求の範囲を別紙の通り補正する。

特許請求の範囲

(1)複数のデータ処理装置の間のデータの通路を割りし、複数のデータ処理装置の相互の通信を可能にするための通信手段と、該装置と夫々接続して該装置のいずれかから伝送されるデータを表示するための表示手段と、データの伝送側に一の装置に動作し、該通信手段と該表示手段への該一の装置のアクセスを禁止するための禁止手段と、各々の該表示手段を二つするための手段を含む該表示手段に応答し、少なくとも1個の該表示手段がデータを表示したときに該禁止手段を操作するために該1信号を伝送し、複数の該表示手段のそれぞれがデータを伝送していないことを表示したときに該禁止手段を操作するために該2信号を供給するリセット手段とを有し、それにより、該別の要求装置装置のそれぞれが該通信手段へのアクセスを得るまで、該装置が該通信手段への複数のアクセスを阻止することを特徴とするデータコントローラ。

(2)所定周波後に前記リセット手段に動作するオーバーライド手段を有することを特徴とする特許請求の範囲第1項に記載のデータコントローラ。

(3)前記表示手段は前記データ処理装置の夫々と接続する複数のステートインディケータと各装置によって伝送されるデータによって第1状態から第2状態に変更可能な一つの表示出力を有することを特徴とする特許請求の範囲第1項に記載のデータコントローラ。

(4)前記ステートインディケータの該表示出力は、前記各処理装置の一が前記通信手段と接続されたことを表示するアクセス情報信号を受信してから前記第2状態から前記第1状態へ変更されることを特徴とする特許請求の範囲第3項に記載のデータコントローラ。

(5)前記表示出力は前記禁止手段の動作を開始することを特徴とする特許請求の範囲第4項に記載のデータコントローラ。

(6)前記リセット手段の動作は前記通信手段にデータが伝送されている間は阻止されることを特徴とする特許請求の範囲第5項に記載のデータコントローラ。

(7)所定の周波後に前記リセット手段に動作可能なオーバーライド手段を有することを特徴とする特許請求の範囲第5項に記載のデータコントローラ。

特
5
5
5